

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of

Jae-II BYEON et al.

Serial No.: [NEW]

Attn: Applications Branch

Filed: 23 July 2003

Attorney Docket No.: SEC.1025

For: ARRAY OF PULL-UP TRANSISTORS FOR HIGH VOLTAGE OUTPUT CIRCUIT

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicants, in the above-identified application, hereby claim the priority date  
under the International Convention of the following Korean application:

Appln. No. 10-2002-0044222

filed 26 July 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.



Kenneth D. Springer  
Registration No. 39,843

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: 23 July 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0044222  
Application Number PATENT-2002-0044222

출원 년 월 일 : 2002년 07월 26일  
Date of Application JUL 26, 2002

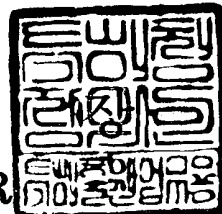
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 11 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.07.26
【발명의 명칭】	고전압 출력회로의 풀업 트랜지스터 어레이
【발명의 영문명칭】	ARRAY OF PULL-UP TRANSISTORS FOR HIGH VOLTAGE OUTPUT CIRCUIT
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	변재일
【성명의 영문표기】	BYEON, JAE IL
【주민등록번호】	651208-1051526
【우편번호】	135-271
【주소】	서울특별시 강남구 도곡1동 역삼럭키아파트 963번지 102-108
【국적】	KR
【발명자】	
【성명의 국문표기】	손일헌
【성명의 영문표기】	SHON, IL HUN
【주민등록번호】	541203-1074430

1020020044222

출력 일자: 2002/12/12

【우편번호】 138-200

【주소】 서울특별시 송파구 문정동 웨미리아파트 303동 305호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	8 면	8,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	15 항	589,000 원
【합계】		626,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

고전압 출력회로의 풀업 트랜지스터 어레이를 제공한다. 이 트랜지스터 어레이는 반도체 기판 상에 에피택시얼층일 형성되고, 에피택시얼층에 n개의 이중확산 트랜지스터 (DMOS Tr.; Double Diffused MOS Transistor)들이 횡으로 배열된다. 상기 각 이중확산 트랜지스터의 소오스/드레인 중 하나는 각 트랜지스터에 개별적으로 형성되고, 다른 하나의 소오스/드레인은 상기 n개의 이중확산 트랜지스터들이 공유한다. 이에 따라, 이 풀업 트랜지스터 어레이는 고전압 및 고전류의 신호를 출력할 수 있고, 이중확산 트랜지스터들 사이에 소자분리영역이 요구되지 않기 때문에 소자를 고집화할 수 있다.

**【대표도】**

도 4

## 【명세서】

## 【발명의 명칭】

고전압 출력회로의 풀업 트랜지스터 어레이{ARRAY OF PULL-UP TRANSISTORS FOR HIGH VOLTAGE OUTPUT CIRCUIT}

## 【도면의 간단한 설명】

도 1은 NMOS 풀업 트랜지스터 및 NMOS 풀다운 트랜지스터가 구비된 종래의 출력회로를 나타낸 도면이다.

도 2는 NMOS 풀업 트랜지스터 및 NMOS 풀다운 트랜지스터가 구비된 종래의 출력회로를 나타낸 도면이다.

도 3은 종래의 NMOS 풀업 트랜지스터를 갖는 출력회로의 풀업 트랜지스터 어레이 및 풀다운 트랜지스터 어레이를 나타낸 평면도이다.

도 4는 본 발명의 제1 실시예에 따른 풀업 트랜지스터 어레이를 도시한 평면도이다

도 5는 도 4의 I-I'를 따라 취해진 본 발명의 제1 실시예에 따른 풀업 트랜지스터 어레이를 도시한 단면도이다.

도 6은 본 발명의 제2 실시예에 따른 풀업 트랜지스터 어레이를 도시한 평면도이다

도 7는 도 6의 II-II'를 따라 취해진 본 발명의 제2 실시예에 따른 풀업 트랜지스터 어레이를 도시한 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 소자의 고전압 출력회로에 관한 것으로서, 더 구체적으로 고전압 출력회로의 풀업 트랜지스터 어레이에 관한 것이다.
- <9> 반도체 소자에는 외부로부터 또는, 소자내의 다른 회로로부터 신호를 입력받아 소정 레벨의 신호를 출력하는 출력회로가 구비되어 있다. 상기 출력회로에 입력된 신호가 소정의 전압 레벨로 쉬프트 되는 레벨 쉬프트 회로와, 상기 레벨 쉬프트 회로에서 출력된 신호를 입력받아 각각 로우레벨의 전압( $V_{ss}$ ) 또는 하이레벨의 전압( $V_{dd}$ )을 출력하는 풀다운 트랜지스터 및 풀업 트랜지스터를 포함한다.
- <10> 도 1은 NMOS 풀업 트랜지스터 및 NMOS 풀다운 트랜지스터가 구비된 종래의 출력회로를 나타낸 도면이다.
- <11> 도 1을 참조하면, 반도체 소자는 복수개의 신호를 개별적으로 입력받아 각각 소정의 전압레벨을 출력하는 출력회로를 구비하고 있다. 입력단(Input port; IN n)에 입력된 각각의 신호는 레벨쉬프트 회로(L/S n)에 입력되어 소정의 전압레벨로 쉬프트되어 풀업 트랜지스터(2) 및 풀다운 트랜지스터(4)의 게이트 전극으로 입력된다. PMOS 트랜지스터인 풀업 트랜지스터(2)의 소오스는 하이레벨 전압( $V_{dd}$ )에 접속되고, NMOS 트랜지스터인 풀다운 트랜지스터(4)의 소오스는 로우레벨 전압( $V_{ss}$ )에 접속된다. 풀업 트랜지스터(12)의 드레인과 풀다운 트랜지스터(4)의 드레인은 출력단(Output port; OUT n)에 접속되어 소정 전압레벨을 출력한다.

<12>      상기 레벨슈프트(L/S n)에서 풀업신호가 출력되면 상기 풀다운 트랜지스터(4)는 턴-오프되고 상기 풀업 트랜지스터(2)가 턴-온되어 상기 출력회로는 상기 하이레벨 전압( $V_{dd}$ )을 출력한다. 반면에, 상기 레벨슈프트(L/S n)에서 풀다운 신호가 출력되면 상기 풀업 트랜지스터(2)가 턴-오프되고, 상기 풀다운 트랜지스터(4)가 턴-온되어 상기 출력회로는 상기 로우레벨 전압( $V_{ss}$ )을 출력한다.

<13>      또다른 출력회로로써, NMOS 풀업 트랜지스터를 갖는 출력회로가 있다. NMOS 풀업 트랜지스터를 갖는 출력회로는 NMOS 풀업 트랜지스터를 갖는 출력회로와 달리 풀업 트랜지스터 및 풀다운 트랜지스터에 각각 풀업신호 및 풀다운 신호를 입력하기 위한 추가적인 회로가 필요하다. 그러나, NMOS 풀업 트랜지스터를 갖는 출력회로는 NMOS 풀업 트랜지스터를 사용할 경우보다 각 트랜지스터의 면적이 작고, 레이아웃이 용이하다.

<14>      도 2는 NMOS 풀업 트랜지스터 및 NMOS 풀다운 트랜지스터가 구비된 종래의 출력회로를 나타낸 도면이다.

<15>      도 2를 참조하면, PMOS 풀업 트랜지스터를 갖는 출력회로와 마찬가지로, 입력단 (Input port; IN n)에 입력된 각각의 신호는 레벨슈프트 회로(L/S n)에 입력되어 소정의 전압레벨로 쉬프트되어 NMOS 풀업 트랜지스터(6) 및 NMOS 풀다운 트랜지스터(4)의 게이트 전극으로 입력된다.

<16>      NMOS 트랜지스터인 풀업 트랜지스터(6)의 드레인은 하이레벨 전압( $V_{dd}$ )에 접속되고, NMOS 트랜지스터인 풀다운 트랜지스터(8)의 소오스는 로우레벨 전압( $V_{ss}$ )에 접속된다. 풀업 트랜지스터(6)의 소오스와 풀다운 트랜지스터(8)의 드레인은 출력단 (Output port; OUT n)에 접속되어 소정의 전압레벨을 출력한다.



- <17>      상기 레벨쉬프트(L/S n)에서 풀업신호가 출력되면 상기 풀다운 트랜지스터(8)는 턴-오프되고 상기 풀업 트랜지스터(6)가 턴-온되어 상기 출력회로는 상기 하이레벨 전압( $V_{dd}$ )를 출력한다. 반면에, 상기 레벨쉬프트(L/S n)에서 풀다운 신호가 출력되면 상기 풀업 트랜지스터(6)가 턴-오프되고, 상기 풀다운 트랜지스터(8)가 턴-온되어 상기 출력회로는 상기 로우레벨 전압( $V_{ss}$ )을 출력한다.
- <18>      도 3은 종래의 PMOS 풀업 트랜지스터를 갖는 출력회로의 풀업 트랜지스터 어레이 및 풀다운 트랜지스터 어레이를 나타낸 평면도이다.
- <19>      도 3을 참조하면, 반도체 기판에 n웰 영역(12) 및 p웰 영역(10) 영역을 넓게 정의하고, n웰 영역(12)에 PMOS 트랜지스터들(16)을 배치하고, p웰 영역(10)에 NMOS 트랜지스터들(14)을 배치한다. 통상적으로 도전성 웰을 용이하게 형성하기 위하여 동일 채널 트랜지스터들을 서로 인접하게 배치한다.
- <20>      도시하지는 않았지만 각 트랜지스터들의 소오스, 드레인 및 게이트 전극은 배선에 접속되어 회로를 구성한다. NMOS 트랜지스터의 게이트 전극(18) 및 PMOS 트랜지스터의 게이트 전극(20)은 레벨쉬프트 회로에 접속되고, PMOS 트랜지스터들의 소오스(26)는 배선을 통하여 하이레벨 전압에 접속되고, NMOS 트랜지스터들의 소오스(22)는 배선을 통하여 로우레벨 전압에 접속된다. 또한, 서로 대향하는 PMOS 트랜지스터의 드레인(28) 및 NMOS 트랜지스터의 드레인(24)은 배선을 통하여 서로 접속됨과 동시에 출력단에 접속된다.
- <21>      도 3에 도시된 것과 같이, 통상적인 반도체 소자는 5V 이하의 외부 입력전압에 의해 구동되기 때문에 반도체 소자의 출력회로에서 풀업 트랜지스터 및 풀다운 트랜지스터는 일반적인 MOS트랜지스터 구조를 갖는다. 그러나, 전력소자와 같은 고전압 구동회로가

필요한 반도체 소자에서, 일반적인 MOS 트랜지스터 구조를 갖는 풀업 트랜지스터 및 풀다운 트랜지스터는 높은 전압과 전류를 견디지 못하기 때문에 사용할 수 없다. 따라서, 고전압 구동회로가 필요한 반도체 소자는 높은 전압에서 동작이 가능한 이중확산트랜지스터(DMOS Tr.; Double Diffused Transistor)가 구비되어 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <22> 본 발명이 이루고자 하는 기술적 과제는 고전압 구동이 요구되는 반도체 소자에 있어서, 고전압 출력회로의 풀업 트랜지스터 어레이를 제공하는데 있다.
- <23> 본 발명이 이루고자 하는 다른 기술적 과제는 트랜지스터들 사이의 격리를 위한 소자분리 영역을 없앴으로써 풀업 트랜지스터 어레이의 면적을 줄이는데 있다.

#### 【발명의 구성 및 작용】

- <24> 상기 기술적 과제들을 달성하기 위하여 본 발명은 이중확산트랜지스터들로 구성된 풀업 트랜지스터 어레이를 제공한다. 이 트랜지스터 어레이는, 반도체 기판과, 상기 반도체 기판 상에 형성된 에피택시얼층과, 상기 에피택시얼층에 횡으로 배열된 n개의 이중확산 트랜지스터(DMOS Tr.; Double Diffused MOS Transistor)들을 포함한다. 상기 각 이중확산 트랜지스터의 소오스/드레인 중 하나는 각 트랜지스터에 개별적으로 형성되고, 다른 하나의 소오스/드레인은 상기 n개의 이중확산 트랜지스터들이 공유한다.
- <25> 본 발명의 일 양태에서 상기 이중확산 트랜지스터는 수직이중확산 트랜지스터(VDMOS Tr.; Vertical Double Diffused MOS Transistor)일 수 있다. n채널 수직이중확산 트랜지스터로 구성된 풀업 트랜지스터 어레이는 제1 도전형의 기판과, 상기 기판 상에 형성된 제2 도전형의 에피택시얼층을 포함한다. 상기 기판 및 상기 에피택시얼층 사이에

제2 도전형의 매입층(burried layer)이 개재되고, 상기 에피택시얼층 상에 일정한 간격으로 복수개의 환형 절연막 패턴들(looped insulating pattern)이 일방향으로 배치된다. 상기 각각의 환형 절연막 패턴으로 에워싸인 에피택시얼층 상부에 게이트 패턴이 형성된다. 상기 게이트 패턴은 그 가장자리의 소정 폭이 상기 환형 절연막 상에 중첩된다. 또한, 상기 게이트 패턴은 2차원적으로 배열된 복수개의 오프닝들을 갖는 메쉬형태(mesh-shaped)의 구조이다. 상기 게이트 패턴의 오프닝들에 노출된 상기 에피택시얼층 내에 각각 소오스 영역이 형성되고, 상기 환형 절연막 패턴들 사이의 상기 에피택시얼층 내에 드레인 영역이 형성된다. 상기 드레인 영역은 상기 환형 절연막 패턴들의 외벽들에 정렬되어 상기 에피택시얼층 내에 수직으로 형성된다.

<26> 본 발명의 다른 양태에서 상기 이중확산 트랜지스터는 수평이중확산 트랜지스터(LDMOS Tr.; Lateral Double Diffused MOS Transistor)일 수 있다. p채널 수평이중확산 트랜지스터로 구성된 풀업 트랜지스터 어레이는 제1 도전형의 기판과, 상기 기판 상에 형성된 제2 도전형의 에피택시얼층과, 상기 에피택시얼층 내에 형성된 복수개의 제1 도전형 웰들을 포함한다. 상기 제1 도전형 웰들은 일 방향으로 일정한 간격을 두고 배치된다. 상기 제1 도전형 웰들을 에워싸는 상기 에피택시얼층 내에 제2 도전형 웰이 형성된다. 상기 제2 도전형 웰은 상기 제1 도전형 웰들의 측벽들에 정렬된 사다리 형태(ladder-shaped)의 구조를 가진다. 상기 에피택시얼층 상부에 환형 게이트 패턴들(looped gate patterns)이 형성된다. 상기 환형 게이트 패턴들은 상기 각 제1 도전형 웰의 측벽 상부에 중첩된다. 상기 에피택시얼층 및 상기 각 게이트 패턴 사이에 환형 절연막 패턴(looped insulating pattern)이 개재된다. 상기 환형 절연막 패턴들의 외측벽들

에 정렬되어 상기 제2 도전형 웰 내에 소오스 영역이 형성되고, 상기 각 환형 절연막 패턴의 내측벽에 정렬되어 상기 제1 도전형 웰들 내에 각각 드레인 영역이 형성된다.

<27> 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 '상'에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<28> 도 4는 본 발명의 제1 실시예에 따른 풀업 트랜지스터 어레이를 도시한 평면도이다.

<29> 도 5는 도 4의 I-I'를 따라 취해진 본 발명의 제1 실시예에 따른 풀업 트랜지스터 어레이를 도시한 단면도이다.

<30> 도 4 및 도 5를 참조하면, 본 발명에 따른 풀업 트랜지스터 어레이는 n채널 수직이중확산 트랜지스터들로 구성된다. 본 발명에 따른 풀업 트랜지스터 어레이는 p형 기판(50) 상에 형성된 n형 에피택시얼층(54)을 포함한다. 상기 p형 기판(50) 및 상기 n형 에피택시얼층(54) 사이에 n형 매입층(burried layer; 52)이 개재되어 있다. 상기 n형 매입층(52)은 상기 n형 에피택시얼층(54)보다 높은 도우핑 농도의 불순물확산층이다. 상기 n형 에피택시얼층(54) 상에 복수개의 환형 절연막 패턴들(looped insulating patterns;

56)이 소정의 간격을 두고 일방향으로 배치된다. 상기 각 환형 절연막 패턴(56)으로 에워싸여진 n형 에피택시얼층(54) 상에 게이트 패턴(70)이 형성된다. 상기 게이트 패턴(70)의 에지의 소정 폭은 상기 환형 에피택시얼층(54)의 상부에 중첩된다. 즉, 상기 환형 절연막 패턴(56)의 내측벽(inner sidewall; 56a)은 상기 게이트 패턴(70)의 하부에 위치한다. 상기 게이트 패턴(70)은 횡방향 및 열방향으로 2차원적으로 배열된 복수개의 오프닝들(55)이 형성된 매쉬형태(mesh-shaped)의 구조를 갖는다.

<31>      상기 게이트 패턴(70)의 각 오프닝(55)에 노출된 n형 에피택시얼층(54) 내에 p형 몸체영역(body region; 58)이 형성된다. 상기 p형 몸체영역(58)은 상기 게이트 패턴(70) 하부의 n형 에피택시얼층까지 측방으로 소정 폭이 확산되어 있다. 상기 p형 몸체영역(58) 내에 n형의 고농도 소오층(62)이 형성된다. 상기 n형의 고농도 소오스층(62)은 상기 오프닝(55)에 노출된 p형 몸체영역(58) 표면에 형성된다. 상기 오프닝(55)에 노출된 p형 몸체영역(58) 내에 상기 n형 고농도 소오스층(62)에 인접하여 p형 픽업층(64)이 형성된다. 상기 p형 픽업층(64)은 트랜지스터가 동작하는 동안 상기 n형 고농도 소오스층(62), 상기 p형 몸체영역(64) 및 상기 n형 에피택시얼층(54)이 기생 바이폴라 트랜지스터로 동작하는 것을 막아준다. 도시된 것과 같이, 상기 n형 고농도 소오스층(62)과 상기 n형 에피택시얼층(54)은 상기 게이트 패턴(70) 하부에서 소정거리 이격되어 트랜지스터의 채널을 정의한다. 상기 p형 몸체영역(58), 상기 p형 픽업층(64) 및 상기 n형 고농도 소오층(62)은 트랜지스터의 소오스 영역(65)을 구성한다. 따라서, 하나의 게이트 패턴(70)에 2차원적으로 배열된 복수개의 소오스 영역들(65)이 인접한다.

<32>      상기 환형절연막 패턴들(56)의 외측벽(outer sidewall; 56b)에 정렬되어 상기 n형 에피택시얼층(54) 내에 n형 드리프트층(60)이 형성된다. 상기 n형 드리프트층(60)은 상

기 n형 에피택시얼층(54) 내에 수직으로 형성되어 상기 n형 매입층(52)에 접속된다. 상기 n형 드리프트층(60) 내에 n형 고농도 드레인층(66)이 형성된다. 상기 n형 드리프트층(60) 및 상기 n형 고농도 드레인층(68)은 드레인 영역(67)을 구성한다. 본 발명에서 풀업 트랜지스터는 상기 매쉬형태의 게이트 패턴(70), 상기 소오스 영역(65) 및 상기 드레인 영역(67)을 포함하는 수직이중확산 트랜지스터(VDMOS Tr.; Vertical Double Diffused Metal Oxide Silicon Transistor)이다. 각각의 수직이중확산 트랜지스터는 개별적으로 소오스 영역을 포함하고, 풀업 트랜지스터 어레이에서 복수개의 수직이중확산 트랜지스터들은 하나의 드레인 영역을 공유한다. 예컨대, 상기 풀업 트랜지스터 어레이를 구성하는 모든 수직이중확산 트랜지스터들이 하나의 드레인 영역을 공유할 수도 있고, 소정의 수직이중확산 트랜지스터들로 이루어진 그룹이 하나의 드레인 영역을 공유할 수도 있다.

<33>       상기 게이트 패턴(70)에 각각 게이트 전극(74)이 접속되고, 상기 각 게이트 패턴(70)으로 에워싸여진 2차원적으로 배열된 소오스 영역들(65)에 소오스 전극(72)이 접속된다. 상기 소오스 전극(72)은 각 게이트 패턴(70) 상부에 하나씩 배치된다. 상기 드레인 영역(67)에 복수개의 드레인 전극(76)이 접속된다. 예컨대, 상기 드레인 전극(76)은 인접한 두개의 환형 절연막 패턴(56)들 사이의 드레인 영역(67)에 하나씩 접속될 수 있다. 도시하지는 않았지만, 상기 소오스 전극(72)은 일 방향으로 반도체 소자의 다른 영역에 형성된 풀다운 트랜지스터들의 드레인 전극에 하나씩 접속되고, 다른 방향으로 고전압 출력단에 접속된다. 또한, 상기 드레인 전극들(76)은 하이레벨 전원에 접속되어 하이레벨 전압이 인가된다. 마지막으로 상기 게이트 전극(74)은 레벨슈프트 회로에 접속된다. 상기 게이트 전극(74), 상기 드레인 전극(76) 및 상기 소오스 전극(72)은 각각 게이

트 콘택홀(79), 드레인 콘택홀(77) 및 소오스 콘택홀(75)을 통하여 상기 게이트 패턴(70), 상기 드레인 영역(67) 및 상기 소오스 영역(65)에 접속된다. 상기 게이트 전극(74)은 도식된 것과 같이 상기 게이트 패턴(70)에 직접 접속될 수 있다. 그러나, 상기 게이트 전극(74)은 상기 게이트 콘택홀(79) 내에 채워진 콘택플러그를 통하여 접속될 수도 있다. 이는 상기 드레인 전극(76) 및 상기 소오스 전극(72) 또한 마찬가지다.

<34> 상술한 것과 같이 본 발명의 제1 실시예에 따르면 풀업 트랜지스터 어레이를 수직 이중확산 트랜지스터들로 구성함으로써 고전압 출력이 가능하다. 통상적으로 이중확산 트랜지스터들은 고전압에서 동작하기 때문에 인접한 트랜지스터들과 전기적 격리를 위하여 넓은 소자분리영역이 요구된다. 그러나, 본 발명에 따르면, 풀업 트랜지스터 어레이를 구성하는 이중확산 트랜지스터들은 하イレ벨 전압이 인가되는 드레인 영역들을 공유함으로써 트랜지스터들 사이에 소자분리막이 요구되지 않고, 결과적으로 소자의 집적도를 향상시킬 수 있다.

<35> 도 6은 본 발명의 제2 실시예에 따른 풀업 트랜지스터 어레이를 도시한 평면도이다.

<36> 도 7는 도 6의 II-II'를 따라 취해진 본 발명의 제2 실시예에 따른 풀업 트랜지스터 어레이를 도시한 단면도이다.

<37> 도 6 및 도 7를 참조하면, 본 발명의 제2 실시예에 따른 풀업 트랜지스터 어레이는 p형 수평이중확산 트랜지스터들로 구성된다. 상술한 제1 실시예와 마찬가지로 풀업 트랜지스터 어레이를 구성하는 수평이중확산 트랜지스터들 사이에 소자분리영역이 형성되지 않는다. 따라서, 풀업 트랜지스터 어레이의 면적을 줄일 수 있고, 결과적으로 반도체 소자의 집적도를 높일 수 있다.

<38>      상기 풀업 트랜지스터 어레이는 p형 기판(80) 상에 형성된 n형 에피택시얼층(82)을 포함한다. 상기 n형 에피택시얼층(82) 상에 소자분리막(84)이 형성되어 풀업 트랜지스터 어레이가 형성될 영역을 한정한다. 상기 n형 에피택시얼층(82) 내에 복수개의 p-웰들(88)이 일 방향으로 소정간격을 두고 배치된다. 상기 n형 에피택시얼층(82) 내에 상기 p-웰들의 측벽들(88a)에 정렬된 사다리 형태(ladder-shaped)의 n-웰(86)이 형성된다. 상기 n-웰(86)은 상기 p-웰들(88)의 주변을 둘러싼다. 상기 n형 에피택시얼층(82) 상부에 복수개의 환형 게이트 패턴(looped gate pattern; 100)들이 형성된다. 상기 환형 게이트 패턴들(100)은 상기 p-웰의 측벽(88a) 상부에 각각 중첩되어 형성된다. 즉, 상기 p-웰의 측벽(88a)은 상기 환형 게이트 패턴(100) 하부에 위치한다. 상기 환형 게이트 패턴(100) 및 상기 n형 에피택시얼층(82) 사이에 환형 절연막 패턴(84)이 개재된다. 상기 환형 절연막 패턴(84) 또한 상기 환형 게이트 패턴(100)과 마찬가지로 상기 p-웰의 측벽(88a) 상부에 중첩되어 형성된다. 따라서, 상기 환형 절연막 패턴의 외측벽(84b)은 상기 n-웰(86) 상에 위치하고, 상기 환형 절연막 패턴의 내측벽(84a)은 상기 p-웰(88) 상에 위치한다.

<39>      상기 p-웰(88) 내에 상기 환형 절연막 패턴(84)으로 둘러싸여진 드레인 영역(93)이 형성된다. 상기 드레인 영역(93)은 상기 환형 절연막 패턴의 내측벽(84a)에 정렬되어 상기 p-웰(88) 내에 형성된 p형 몸체영역(body region; 90)과, 상기 p형 몸체 영역(90) 내에 상기 에피택시얼층(82) 표면에 형성된 p형 고농도 드레인층(92)을 포함한다.

<40>      상기 환형 절연막 패턴들(84) 사이의 상기 n-웰(86) 내에 소오스 영역(98)이 형성된다. 상기 소오스 영역(98)은 p형 고농도 소오스층(94)과, 상기 p형 고농도 소오스층(94)에 인접한 n형 픽업영역(96)을 포함한다. 도시된 것과 같이, 상기 p형 고농도 소오



스층(96)은 상기 환형 절연막 패턴들(84)의 주위와, 상기 소자분리막(84c)의 주위에 형성되고, 상기 n형 픽업영역(96)은 상기 p형 고농도 소오스층들(94) 사이에 형성된다.

<41>      상기 게이트 패턴(100)에 각각 게이트 전극(108)이 접속되고, 상기 각 드레인 영역(93)에 드레인 전극(106)이 접속되고, 상기 소오스 영역(98)에 복수개의 소오스 전극(104)이 접속된다. 예컨대, 상기 소오스 전극(104)은 인접한 두개의 환형 절연막 패턴(84)들 사이의 소오스 영역(98)에 하나씩 접속될 수 있다. 상기 각 소오스 전극(104)은 상기 p형 고농도 소오스층(94) 및 상기 n형 픽업영역(96)에 접속된다. 도시하지는 않았지만, 반도체 기판의 다른 영역에 종래기술과 동일한 풀 다운 트랜지스터 어레이가 형성되고, 상기 드레인 전극(106)은 일 방향으로 반도체 소자의 다른 영역에 형성된 풀 다운 트랜지스터들의 드레인 전극에 하나씩 접속되고, 다른 방향으로 고전압 출력단에 접속된다. 또한, 상기 소오스 전극들(104)은 하イレ벨 전원에 접속되어 하イレ벨 전압이 인가된다. 마지막으로 상기 게이트 전극(108)은 레벨쉬프트 회로에 접속된다. 상기 게이트 전극(108), 상기 드레인 전극(106) 및 상기 소오스 전극(104)은 각각 층간절연막(102)에 형성된 게이트 콘택홀(114), 드레인 콘택홀(112) 및 소오스 콘택홀(110)을 통하여 상기 게이트 패턴(100), 상기 드레인 영역(93) 및 상기 소오스 영역(98)에 접속된다. 상기 소오스 전극(104) 및 상기 드레인 전극(106)은 각각 도시된 것과 같이 상기 소오스 영역(98) 및 상기 드레인 영역(93)에 직접 접속될 수 있다. 이는 상기 게이트 전극(108) 또한 마찬가지다. 이와는 달리, 상기 소오스 전극(104), 상기 드레인 전극(106) 및 상기 게이트 전극(108)은 각각 콘택플러그에 접속될 수도 있다.

<42>      상술한 것과 같이 본 발명의 제2 실시예에 따르면 풀업 트랜지스터 어레이를 수평 이중확산 트랜지스터들로 구성함으로써 고전압 출력이 가능하다. 또한, 상술한 제1 실시

예와 마찬가지로 풀업 트랜지스터 어레이를 구성하는 이중확산 트랜지스터들은 하이레벨 전압이 인가되는 드레인 영역들을 공유함으로써 트랜지스터들 사이에 소자분리막이 요구되지 않고, 결과적으로 소자의 집적도를 향상시킬 수 있다.

**【발명의 효과】**

<43> 상술한 것과 같이 본 발명에 따르면, 이중확산트랜지스터들을 사용하여 풀업 트랜지스터 어레이를 형성함으로써 고전압 및 고전류의 신호를 입출력할 수 있고, 풀업 트랜지스터의 어레이를 구성함에 있어서, 이중확산트랜지스터들 사이에 소자분리영역이 요구되지 않도록, 하이레벨 신호에 접속되는 영역을 복수개의 트랜지스터들이 공유함으로써 풀업 트랜지스터 어레이의 면적을 줄일 수 있다.

<44> 결과적으로, 본 발명에 따를 경우, 고전압, 고전류 신호를 입출력할 수 있을 뿐만 아니라, 반도체 소자의 면적을 줄여 고집적 소자를 제조할 수 있는 잇점이 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판;

상기 반도체 기판 상에 형성된 에피택시얼층;및

상기 에피택시얼층에 횡으로 배열된 n개의 이중확산 트랜지스터(DMOS Tr.;Double Diffused MOS Transistor)들을 포함하되,

상기 각 이중확산 트랜지스터의 소오스/드레인 중 하나는 각 트랜지스터에 개별적으로 형성되고, 다른 하나의 소오스/드레인은 상기 n개의 이중확산 트랜지스터들이 공유하는 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

**【청구항 2】**

제1 항에 있어서,

상기 이중확산 트랜지스터는 n형 수직이중확산 트랜지스터(nVDMOS Tr.; n-Type Vertical Double Diffused MOS Transistor)인 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

**【청구항 3】**

제1 항에 있어서,

상기 이중확산 트랜지스터는 p형 수평이중확산 트랜지스터(pLDMOS Tr.;p-Type Lateral Double Diffused MOS Transistor)인 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

## 【청구항 4】

제1 도전형의 기판;

상기 기판 상에 형성된 제2 도전형의 에피택시얼층;

상기 기판 및 상기 에피택시얼층 사이에 개재된 제2 도전형의 매입층(burried layer);

상기 에피택시얼층 상에 일정한 간격으로 일 방향으로 배치된 복수개의 환형 절연막 패턴들(looped insulating pattern);

상기 각각의 환형 절연막 패턴으로 에워싸인 영역 상부에 그 가장자리의 소정 폭이 상기 환형 절연막 상에 중첩되도록 형성되고, 2차원적으로 배열된 복수개의 오프닝들을 갖는 메쉬형태(mesh-shaped)의 게이트 패턴;

상기 환형 절연막 패턴들의 외벽들에 정렬되어 상기 환형 절연막 패턴들 사이의 상기 에피택시얼층 내에 수직으로 형성된 드레인 영역;및

상기 게이트 패턴의 오프닝들에 노출된 상기 에피택시얼층 내에 각각 형성된 소오스 영역을 포함하는 고전압 출력회로의 풀업 트랜지스터 어레이.

## 【청구항 5】

제4 항에 있어서,

상기 드레인 영역은,

상기 제2 도전형의 매입층에 수직으로 접속된 제2 도전형의 드리프트 층;및

상기 제2 도전형의 드리프트 층 내에 형성된 제2 도전형의 고농도 드레인층을 포함하는 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

**【청구항 6】**

제4 항에 있어서,

상기 소오스 영역은,

상기 오프닝의 상기 에피택시얼층 내에 형성된 제1 도전형의 몸체영역(body region);

상기 제1 도전형의 몸체영역 내의 상기 에피택시얼층 표면에 형성된 제2 도전형 고농도 소오스층; 및

상기 제1 도전형의 픽업영역을 포함하되, 상기 몸체영역은 상기 제2 도전형 고농도 소오스층으로 부터 횡방향으로 소정길이 더 확산된 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

**【청구항 7】**

제4 항에 있어서,

상기 각 게이트 패턴 상에 하나씩 배치되어 고전압을 출력하는 소오스 전극을 더 포함하되, 각 소오스 전극은 상기 각 게이트 패턴의 오프닝들 내에 형성된 소오스 영역들에 공통으로 접속된 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

**【청구항 8】**

제4 항에 있어서,

상기 드레인 영역에 접속된 복수개의 드레인 전극들을 더 포함하되, 상기 드레인 전극들은 고전압에 공통으로 접속된 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

## 【청구항 9】

제4 항에 있어서,

상기 각 게이트 패턴에 하나씩 접속되어 개별적으로 풀업 신호를 입력하는 게이트 전극을 더 포함하는 고전압 출력회로의 풀업 트랜지스터 어레이.

## 【청구항 10】

제1 도전형의 기판;

상기 기판 상에 형성된 제2 도전형의 에피택시얼층;

상기 에피택시얼층 내에 형성되되, 일 방향으로 일정한 간격을 두고 배치된 복수개의 제1 도전형 웰들;

상기 제1 도전형 웰들을 에워싸는 상기 에피택시얼층 내에, 상기 제1 도전형 웰들의 측벽들에 정렬되어 형성된 사다리 형태(ladder-shaped)의 제2 도전형 웰;

상기 에피택시얼층 상부에 형성되되, 상기 각 제1 도전형 웰의 측벽 상부에 중첩되어 각각 형성된 환형 게이트 패턴들(looped gate patterns);

상기 에피택시얼층 및 상기 각 게이트 패턴 사이에 개재된 환형 절연막 패턴(looped insulating pattern);

상기 환형 절연막 패턴들의 외측벽들에 정렬되어 상기 제2 도전형 웰 내에 형성된 소오스 영역;및

상기 각 환형 절연막 패턴의 내측벽에 정렬되어 상기 제1 도전형 웰 내에 각각 형성된 드레인 영역들을 포함하는 고전압 출력회로의 풀업 트랜지스터 어레이.

**【청구항 11】**

제10 항에 있어서,

상기 소오스 영역은,

상기 제2 도전형 웰 내의 상기 에피택시얼층 표면에 형성된 제1 도전형의 고농도 확산층 및 제2 도전형의 픽업영역을 포함하되, 상기 제1 도전형 소오스층은 상기 제2 도전형 픽업영역을 에워싸는 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

**【청구항 12】**

제10 항에 있어서,

상기 드레인 영역은,

상기 환형 절연막 패턴의 내측벽에 정렬되어 상기 제1 도전형 웰 내에 형성된 제1 도전형 몸체영역(body region); 및

상기 제1 도전형 몸체 영역 내의 상기 에피택시얼층 표면에 형성된 제1 도전형의 고농도 드레인층을 포함하는 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

**【청구항 13】**

제10 항에 있어서,

상기 각 드레인 영역에 하나씩 접속되어 고전압을 출력하는 소오스 전극을 더 포함하는 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

## 【청구항 14】

제10 항에 있어서,

상기 드레인 영역에 접속되어 고전압이 입력되는 복수개의 드레인 전극들을 더 포함하는 것을 특징으로 하는 고전압 출력회로의 풀업 트랜지스터 어레이.

## 【청구항 15】

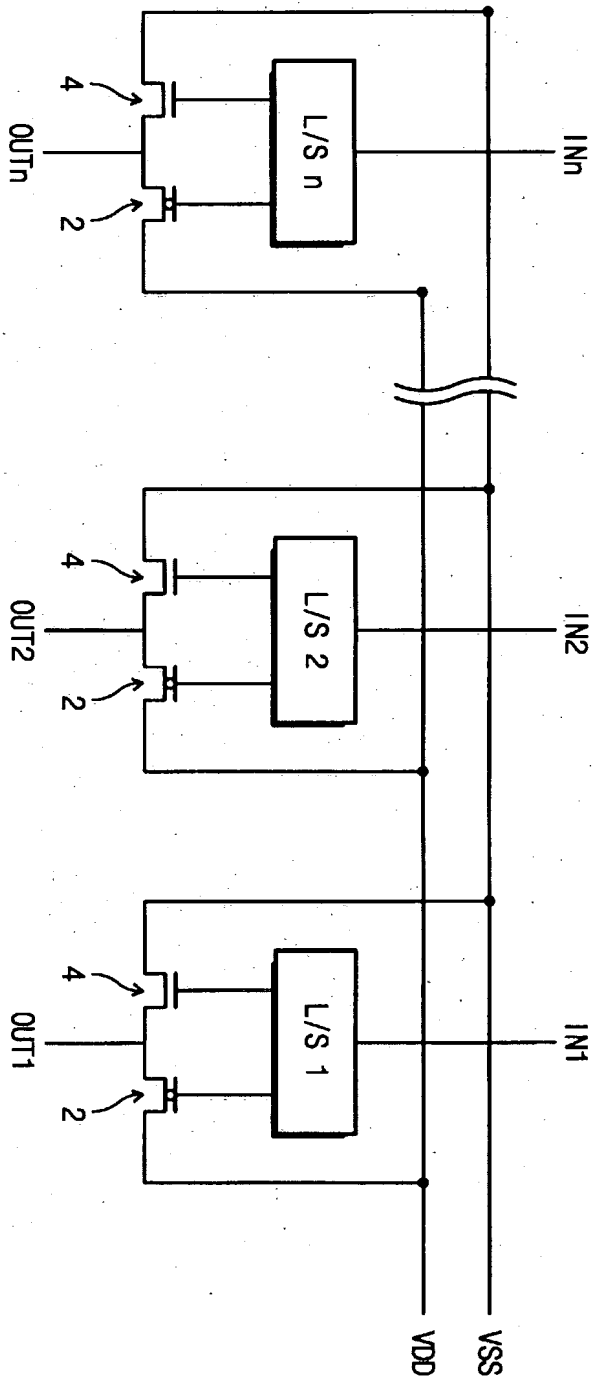
제10 항에 있어서,

상기 각 게이트 패턴에 하나씩 접속되어 개별적으로 풀업 신호를 입력하는 게이트 전극을 더 포함하는 고전압 출력회로의 풀업 트랜지스터 어레이.



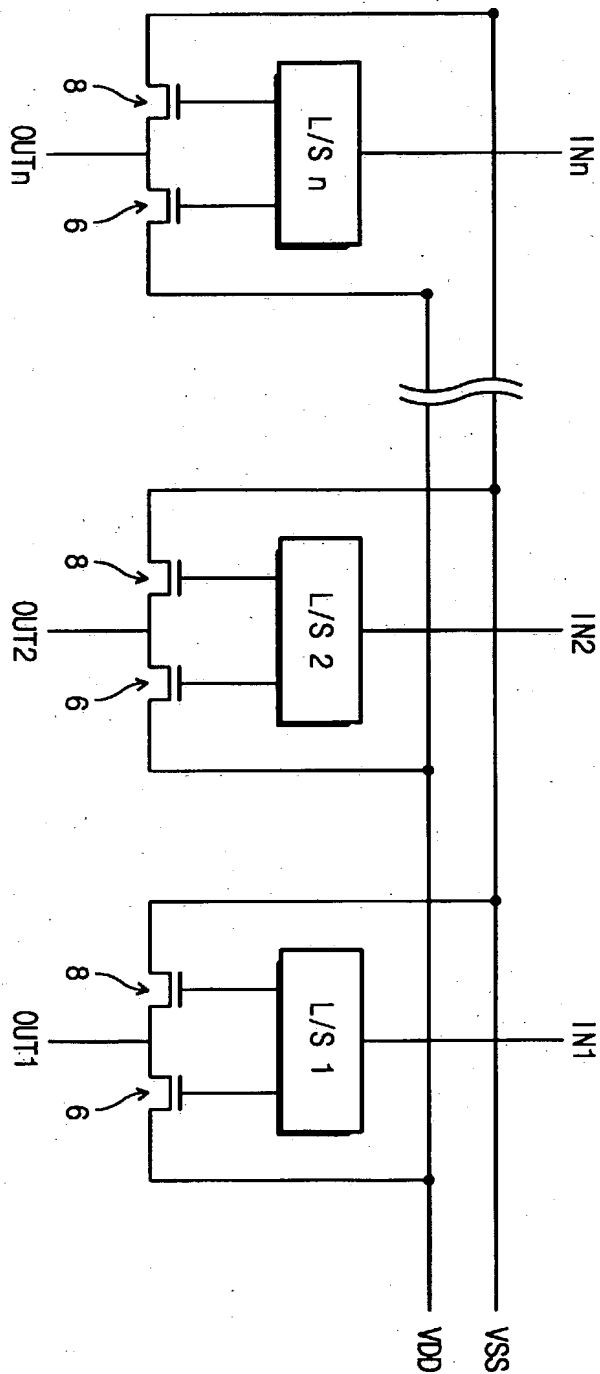
【도면】

【도 1】



(종래 기술)

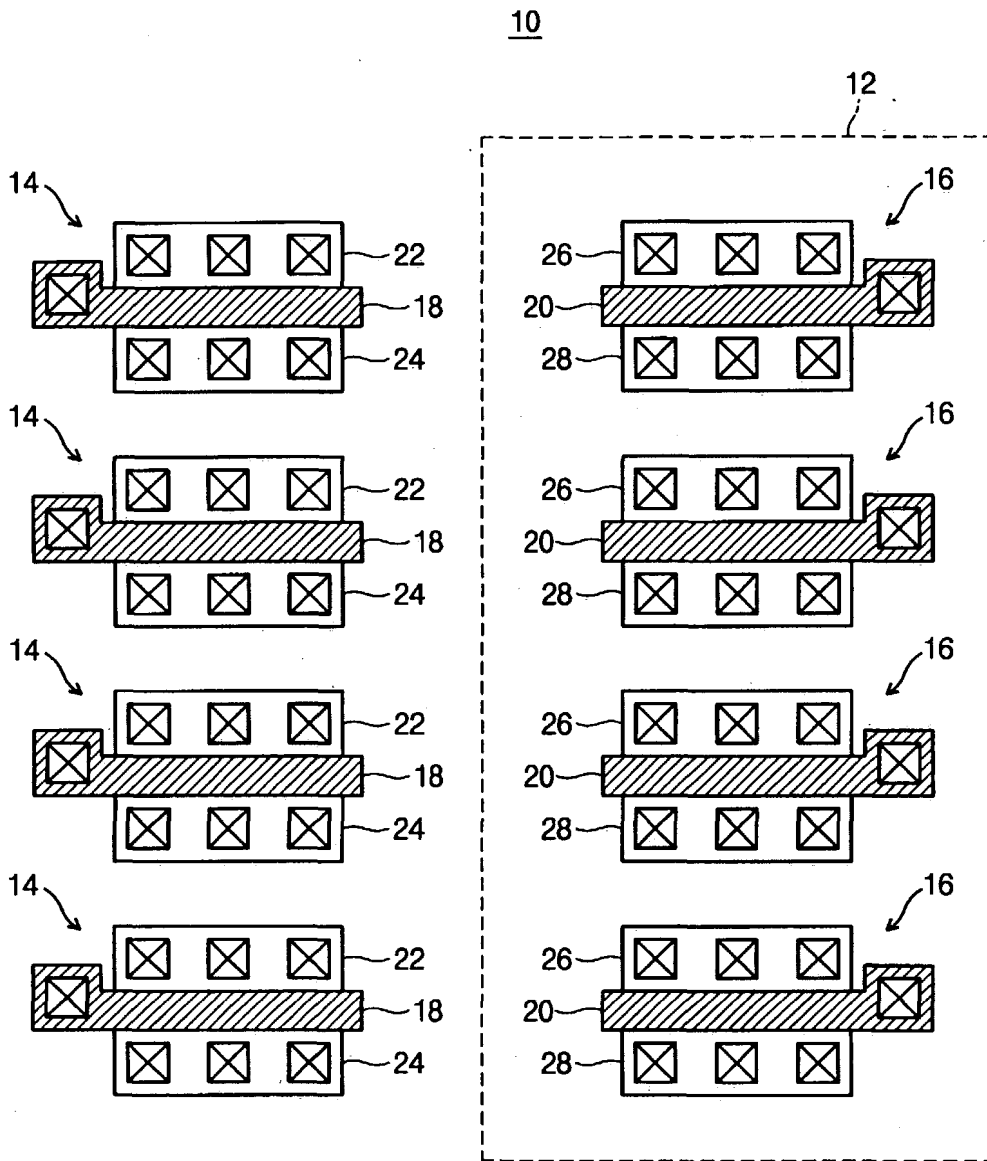
【도 2】



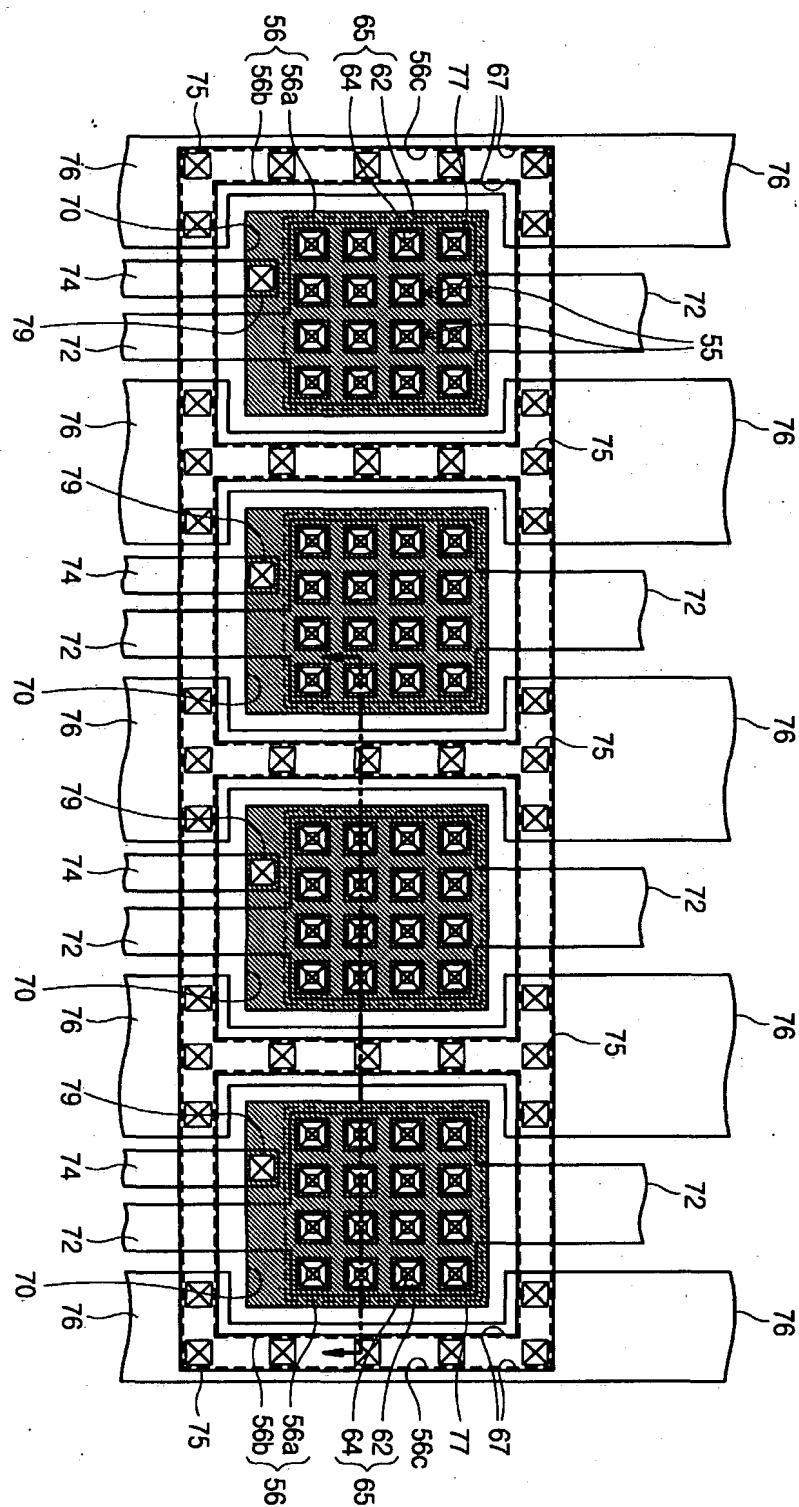
(종래 기술)

【도 3】

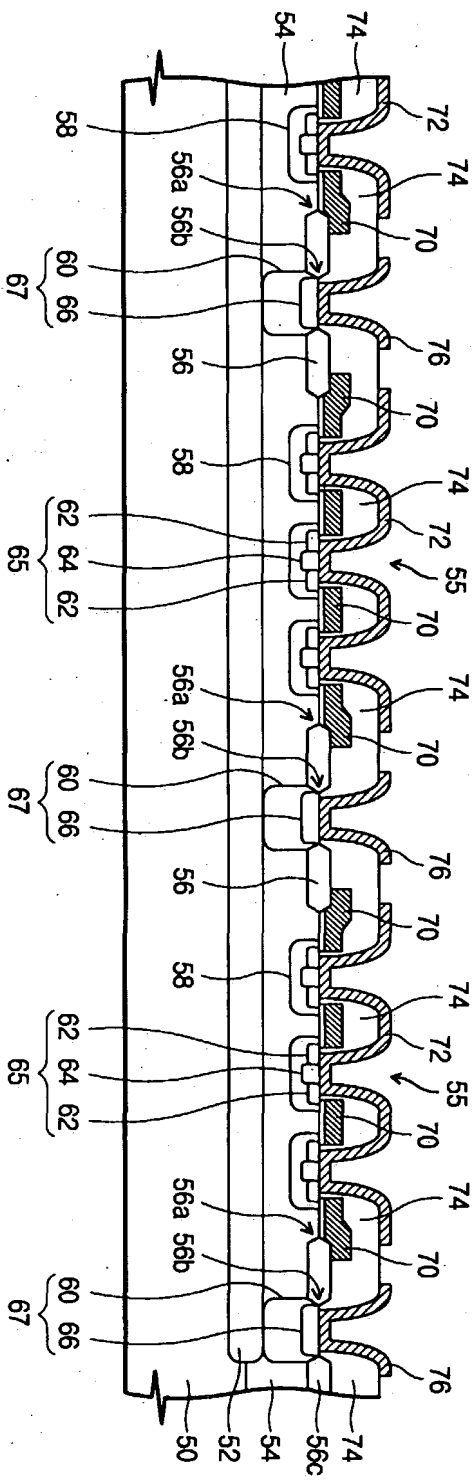
(종래 기술)



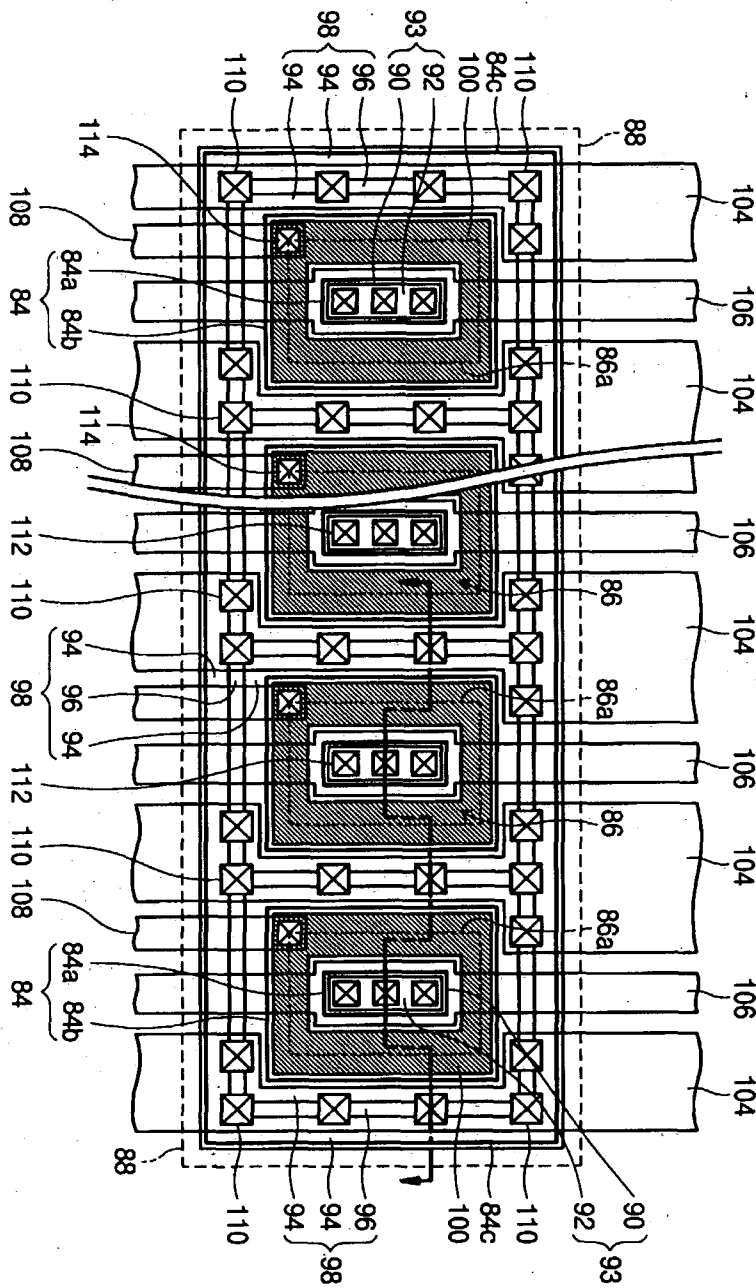
【도 4】



【도 5】



【도 6】



【도 7】

